

Family list6 family members for: **JP11045892**
Derived from 4 applications[Back to JP11045892](#)**1 SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME**

Inventor: KAWAI HIROHARU

Applicant: SONY CORP

EC:

IPC: **H01L21/28; H01L21/304; H01L21/306**
(+21)Publication info: **JP11045892 A** - 1999-02-16**2 Manufacturing method of semiconductor device**

Inventor: KAWAI HIROJI (JP)

Applicant: SONY CORP (US)

EC: H01L21/033D; H01L21/304; (+4)

IPC: **H01L21/033; H01L21/304; H01L21/306**
(+11)Publication info: **US6239033 B1** - 2001-05-29**3 Semiconductor device and its manufacturing method**

Inventor: KAWAI HIROJI (JP)

Applicant:

EC: H01L21/033D; H01L21/304; (+5)

IPC: **H01L21/033; H01L21/304; H01L21/306**
(+21)Publication info: **US6468902 B2** - 2002-10-22**US2001040245 A1** - 2001-11-15**4 Semiconductor device and its manufacturing method**

Inventor: KAWAI HIROJI (JP)

Applicant:

EC: H01L21/033D; H01L21/304; (+4)

IPC: **H01L21/033; H01L21/304; H01L21/306**
(+11)Publication info: **US6903392 B2** - 2005-06-07**US2001035580 A1** - 2001-11-01Data supplied from the **esp@cenet** database - Worldwide

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-045892
(43)Date of publication of application : 16.02.1999

(51)Int.Cl.

H01L 21/338
H01L 29/812
H01L 21/28
H01L 21/304
H01L 21/306
H01L 21/308
H01L 27/12
H01L 33/00
H01S 3/18

(21)Application number : 10-147492

(71)Applicant : SONY CORP

(22)Date of filing : 28.05.1998

(72)Inventor : KAWAI HIROHARU

(30)Priority

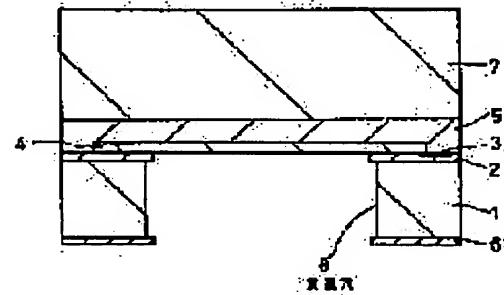
Priority number : 09138451 Priority date : 28.05.1997 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and a method for manufacturing this device, in which a high output or a high frequency operation can be attained by making a substrate thin or forming a through-hole at the time of forming a GaN system semiconductor element on a hard and stable single-crystal substrate such as sapphire or SiC, or the operating voltage of the element can be reduced at the time of forming a GaN system light-emitting element on the substrate.

SOLUTION: A GaN system semiconductor layer 2 is grown on the surface of a sapphire substrate 1, a GaN system FET 3 is formed, a particle diameter is successively made small by using diamond polishing particle slurry, the substrate is made thin so as to be less than 100 μ m by polishing the back face of the substrate, and a polishing distortion layer is removed by etching the back face with phosphoric acid liquid or the like. Next, the etching of the back face of the substrate is carried out with a similar etching liquid so that a through-hole 8 is formed, a GaN system semiconductor layer 2 at the bottom part of this through-hole is removed by etching with an RIE method, and an Au pad 4 electrically connected with the source of the GaN system FET 3 is exposed, and then an Au thick film connected through the through-hole with the Au pad is formed.



LEGAL STATUS

[Date of request for examination] 09.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-45892

(43)公開日 平成11年(1999)2月16日

| | | |
|--------------------------|-------|--------------|
| (51)Int.Cl. ⁶ | 識別記号 | F I |
| H 01 L 21/338 | | H 01 L 29/80 |
| 29/812 | | 21/28 |
| 21/28 | 3 0 1 | 21/304 |
| 21/304 | 6 2 2 | 21/308 |
| | | U |
| | | 3 0 1 H |
| | | 6 2 2 W |
| | | 6 2 2 P |
| | | C |

審査請求 未請求 請求項の数15 O L (全 13 頁) 最終頁に統く

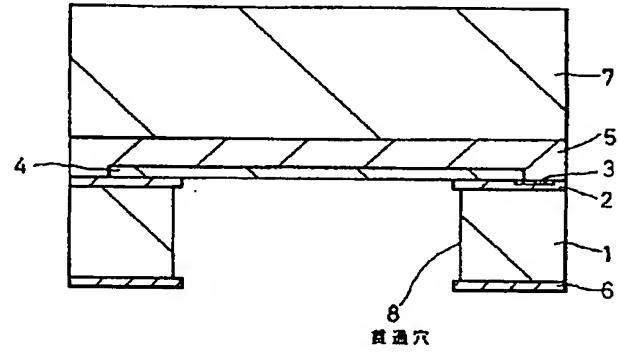
| | | | |
|-------------|------------------|---------|---|
| (21)出願番号 | 特願平10-147492 | (71)出願人 | 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 |
| (22)出願日 | 平成10年(1998)5月28日 | (72)発明者 | 河合 弘治 東京都品川区北品川6丁目7番35号 ソニ 一株式会社内 |
| (31)優先権主張番号 | 特願平9-138451 | (74)代理人 | 弁理士 杉浦 正知 |
| (32)優先日 | 平9(1997)5月28日 | | |
| (33)優先権主張国 | 日本 (JP) | | |

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】 (修正有)

【課題】 サファイアやSiCなどの固く安定な単結晶基板上にGaN系半導体素子を形成する場合、基板の薄板化や貫通孔形成により高出力化や高周波動作化を可能にし、または前記基板上にGaN系発光素子を形成する際に、素子の動作電圧を低減できる半導体装置及びその製造方法を提供する。

【解決手段】 サファイア基板1表面にGaN系半導体層2を成長させGaN系FET3を形成後、ダイヤモンド砥粒スラリーを用いて粒径を順次小さくしつつ、基板裏面を研磨して基板を100μm以下に薄くし、リン酸液などで裏面をエッチして研磨歪層を除去する。次に基板の裏面を同様なエッティング液でエッチして貫通孔8を形成し、この貫通孔の底部のGaN系半導体層2をRIE法でエッティング除去し、GaN系FET3のソースと電気的に接続されたAuパッド4を露出させた後、貫通孔を通じてAuパッド4に接続したAu厚膜を形成する。



【特許請求の範囲】

【請求項1】 壕化物系ⅢⅢ-V族化合物半導体と異なる物質からなる単結晶基板の一方の主面上に塙化物系ⅢⅢ-V族化合物半導体を用いた素子を形成する工程と、

上記単結晶基板の他方の主面を、ダイヤモンド砥粒からなる研磨材を含む研磨液を用い、かつ、上記研磨材の粒径を段階的に小さくしながらラッピングすることにより上記単結晶基板を薄化する工程と、

上記ラッピングされた上記単結晶基板の上記他方の主面を150~450°Cの温度のリン酸またはリン酸と硫酸とを主成分とするエッティング液を用いてエッティングすることにより上記ラッピングの際に上記単結晶基板の上記他方の主面に生じた歪層を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 上記単結晶基板を100μm以下の厚さに薄化するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記単結晶基板の上記他方の主面をエッティングする前に上記単結晶基板の上記一方の主面上に形成された上記素子の表面を上記エッティング液に対して耐性を有する保護膜で覆っておくようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 上記保護膜は酸化シリコン膜、塙化シリコン膜またはポリイミド膜であることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 上記単結晶基板の上記他方の主面のみを上記エッティング液に浸すことにより上記単結晶基板の上記他方の主面をエッティングするようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板またはSiC基板であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】 壙化物系ⅢⅢ-V族化合物半導体と異なる物質からなる単結晶基板と、

上記単結晶基板の一方の主面上の塙化物系ⅢⅢ-V族化合物半導体を用いた素子とを有する半導体装置において、

上記単結晶基板に設けられた貫通穴を通じて上記素子に対する電気的接続が行われていることを特徴とする半導体装置。

【請求項8】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板またはSiC基板であることを特徴とする請求項7記載の半導体装置。

【請求項9】 壙化物系ⅢⅢ-V族化合物半導体と異なる物質からなる単結晶基板と、

上記単結晶基板の一方の主面上の塙化物系ⅢⅢ-V族化合物半導体を用いた素子とを有し、

上記単結晶基板に設けられた貫通穴を通じて上記素子に対する電気的接続が行われる半導体装置の製造方法であって、

上記単結晶基板の他方の主面を150~450°Cの温度のリン酸またはリン酸と硫酸とを主成分として含むエッティング液を用いて選択的にエッティングすることにより上記貫通穴を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項10】 上記単結晶基板の上記他方の主面に、

10 Cr、TiまたはNiからなる第1の薄膜とその上のPt、PdまたはAuからなる第2の薄膜とからなるエッティングマスクを形成し、このエッティングマスクを用いて上記単結晶基板の上記他方の主面をエッティングすることにより上記貫通穴を形成するようにしたことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 上記単結晶基板の上記他方の主面のみを上記エッティング液に浸すことにより上記単結晶基板の上記他方の主面をエッティングするようにしたことを特徴とする請求項9記載の半導体装置の製造方法。

20 【請求項12】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板またはSiC基板であることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】 壙化物系ⅢⅢ-V族化合物半導体と異なる物質からなる単結晶基板と、

上記単結晶基板の一方の主面上の塙化物系ⅢⅢ-V族化合物半導体を用いた素子とを有し、

上記単結晶基板に設けられた貫通穴を通じて上記素子に対する電気的接続が行われる半導体装置の製造方法であって、

30 上記単結晶基板の他方の主面に6μm以上の波長を有するレーザ光を選択的に照射することにより上記一方の主面に達しない10μm以上の深さの穴を形成する工程と、

上記単結晶基板の上記他方の主面を150~450°Cの温度のリン酸またはリン酸と硫酸とを主成分とするエッティング液を用いてエッティングすることにより上記穴を上記一方の主面に到達させて上記貫通穴を形成する工程とを有することを特徴とする半導体装置の製造方法。

40 【請求項14】 上記レーザ光としてCO₂レーザによる波長10.6μmのパルスレーザ光を用いるようにしたことを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 上記単結晶基板はサファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート基板またはSiC基板であることを特徴とする請求項13記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】この発明は、半導体装置およ

びその製造方法に関し、特に、窒化ガリウム(GaN)などの窒化物系III-V族化合物半導体を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】GaNを主成分とする窒化物系III-V族化合物半導体(以下「GaN系半導体」ともいう)は直接遷移半導体であり、その禁制帯幅は1.9~6.2eVに亘り、可視領域から紫外線領域に及ぶ半導体発光素子の実現が理論上可能であるため、このGaN系半導体を用いた半導体発光素子の開発が活発に進められている。このGaN系半導体はまた、電子走行素子の材料としても大きな可能性を持っている。すなわち、GaNの飽和電子速度は約 2.0×10^7 cm/sとSi、GaNおよびSiCに比べて大きく、また、破壊電界は 5×10^6 V/cmとダイヤモンドに次ぐ大きさを持っている。このような理由により、GaN系半導体は高周波、大電力用半導体素子の材料として大きな可能性を持つことが予想されてきた。

【0003】このGaN系半導体を用いたトランジスタを製造するには、化学気相成長(CVD)法や分子線エピタキシー(MBE)法によりGaN系半導体を成長させる必要があるが、この際の基板としてはサファイア基板がよく用いられる。ところが、GaNの熱伝導率は室温で $1.3\text{W}/\text{cmK}$ と、GaNの室温での熱伝導率 $0.3\text{W}/\text{cmK}$ より大きいものの、サファイアの熱伝導率は室温で $0.4\text{W}/\text{cmK}$ とGaNと並んでおり、SiCの室温での熱伝導率 $4.9\text{W}/\text{cmK}$ に比べると約 $1/1.2$ と小さいため、特に、サファイア基板上にGaN系半導体を成長させて高出力用のGaN系電界効果トランジスタ(FET)を作った場合には、動作時の熱放出が悪く、特性劣化が生じることが指摘されている((1) Inst. Phys. Conf. Ser., No. 142, 765(1996))。このため、GaN系FETの高出力化のためには、熱放出特性の向上を図る必要がある。一方、このGaN系FETを高周波動作させる場合には、ソースインダクタンスの低減が必要となる。

【0004】従来、GaN系FETにおいては、ソースインダクタンスの低減による高周波動作化、高出力化のための基礎技術として、GaN基板の薄化技術と、GaN基板に貫通穴(ビアホール)を形成し、この貫通穴を通じて基板裏面側からソースに対して電気的接続を行う技術とがある。これらの技術の概略を説明すると、次の通りである((2) GaN系電界効果トランジスタの基礎、電子情報通信学会、平成4年、p.207、(3) 米国特許第4015278号、(4) Int. Electron Device Meet., Tech. Dig., 676(1981))。

【0005】すなわち、まず、GaN基板を薄化するためには、SiCやアルミナの砥粒研磨材を用いて一次ラッピングを行った後、CeO₂、ZrO₂、CrO₂などの粒径 $1\mu\text{m}$ 以下の砥粒を用いて合成樹脂や人工皮

革などの軟質ポリッシャ上でポリッキングを行い、ラッピングによる加工歪を除去する。これだけで残りの加工歪の深さは $10\mu\text{m}$ 以下となるが、ウエットエッチングにより追加加工がなされることもある。次に、GaN基板への貫通穴の形成に関しては、GaNは硫酸/過酸化水素溶液またはアルカリ溶液のどちらによっても容易に溶解されるので、基本的にはこれらの溶液をエッチング液として用いたウエットエッチングだけでも貫通穴の形成が可能であるが、このウエットエッチングではサイドエッチングが大きく、貫通穴の形状制御が困難であるため、通常は反応性イオンエッチング(RIE)法やイオンミリング法などが用いられる。RIE法を用いて貫通穴を形成するときには、エッチングガスとしてCCl₂F₂とHeとの混合ガスを用い、エッチングマスクとして酸化シリコン(SiO₂)膜または有機レジスト膜を用いることにより、 $50\sim100\mu\text{m}/\text{hr}$ の高いエッチング速度が得られ、容易に貫通穴を形成することができる。このようにGaN基板は機械的にも化学的にも加工が容易であるため、基板の薄化および基板への

10 貫通穴の形成によりGaN系FETの高周波動作化、高出力化がすでに実現されている。

【0006】

【発明が解決しようとする課題】しかしながら、GaN系FETにおいて用いられている上述のような基板の薄化および基板への貫通穴の形成の技術をGaN系FETに適用することは困難である。すなわち、すでに述べたように、GaN系FETの製造にはサファイア基板がよく用いられるが、サファイアはGaNに比べてはるかに固いため、上述の従来のラッピング技術を用いてサファイア基板を薄化することは極めて困難であり、無理やりラッピングで薄化すると、ラッピング歪により基板自身が素子側の正面側が凹となるように大きく反ってしまい、遂には破壊に至ってしまう。また、サファイア基板への貫通穴の形成についても、サファイアは化学的に極めて安定であるため、ウエットエッチングは有効なエッティング液がなく不可能であり、また、RIE法によるドライエッティングは、エッティング速度が高々数 $\mu\text{m}/\text{hr}$ と非常に小さく、しかも選択エッティングを行うための選択性を有するエッティングマスクがないため、いずれの方法によても、貫通穴の形成は事実上不可能である。このように、サファイア基板上にGaN系FETを形成する場合には、基板の薄化および貫通穴の形成により高周波動作化、高出力化を図ることは困難であった。

【0007】以上はサファイア基板上にGaN系FETを形成する場合についてであるが、この問題は、サファイア基板と同様に極めて固く、化学的にも安定なSiC基板などの上にGaN系FETを形成する場合にも、同様に存在するものである。

【0008】一方、図14は従来のGaN系半導体レーザを示す。図14に示すように、このGaN系半導体レ

5

一ザにおいては、c面サファイア基板101上に、GaNバッファ層102、n型GaNコンタクト層103、n型AlGaNクラッド層104、n型GaN光導波層105、Ga_{1-x} In_x N/Ga_{1-y} In_y N多重量子子井戸構造の活性層106、p型GaN光導波層107、p型AlGaNクラッド層108およびp型GaNコンタクト層109が順次積層されている。n型GaNコンタクト層103の上層部、n型AlGaNクラッド層104、n型GaN光導波層105、Ga_{1-x} In_x N/Ga_{1-y} In_y N多重量子子井戸構造の活性層106、p型GaN光導波層107、p型AlGaNクラッド層108およびp型GaNコンタクト層109は所定幅のメサ形状を有する。そして、p型GaNコンタクト層109上にp側電極110がオーミックコンタクトして設けられているとともに、メサ部に隣接する部分におけるn型GaNコンタクト層103上にn側電極111がオーミックコンタクトして設けられている。

【0009】しかしながら、この図14に示す従来のGaN系半導体レーザにおいては、n側電極111がメサ部に隣接する部分におけるn型GaNコンタクト層103上に設けられていることにより、動作時にp側電極110とn側電極111との間に流す電流はn型GaNコンタクト層103に沿って流す必要があるため、電流通路の長さが長くなり、これが動作電圧の増大を招いていた。また、このGaN系半導体レーザは、p側電極110およびn側電極111とも基板の同じ側に設けられた構造であるため、p側電極を基板表面に設け、n側電極を基板裏面に設けるGaN系半導体レーザなどの組み立てに用いられる装置を使用することができないところから、専用の組み立て装置が必要であり、これが製造コストの増大を招いていた。

【0010】したがって、この発明の目的は、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系II-V族化合物半導体を用いた素子を形成する場合に、基板の薄化および／または基板への貫通穴の形成により、高周波動作化および／または高出力化を図ることができる半導体装置およびこのような半導体装置を容易に製造することができる半導体装置の製造方法を提供することにある。

【0011】この発明の他の目的は、サファイア基板などの非導電性の単結晶基板上に窒化物系Ⅲ-V族化合物半導体を用いた発光素子を形成する場合に、基板への貫通穴の形成により、その発光素子の動作電圧の低減および製造コストの低減を図ることができる半導体装置およびこのような半導体装置を容易に製造することができる半導体装置の製造方法を提供することにある。

[0012]

【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った。以下にその概要を説明する。

6

【0013】GaN系半導体を用いた素子がすでに形成されているサファイア基板を薄化するにあたっては、解決すべき問題がある。その第1は、ラッピングなどの手法を用いてサファイア基板を薄化していく過程で、基板表面側の素子に損傷を与えずに、しかも加工歪を最小限に抑えて、さらには基板の反りや破壊を防ぎつつ、十分に薄く、具体的には厚さ約100μm以下、例えば数10μm以下まで薄化することである。また、サファイア基板を用いる場合には、GaN基板を用いる場合と異

10 なり、最終的には薄化した基板の歪をほとんど除去しておかないと、反りにより後の工程に支障が出る。第2に、サファイア基板の所望の場所に貫通穴を形成するのに最適な加工方法を見い出すことである。サファイアのウエットエッチング法としては、900°C程度の溶融硼砂を用いる方法や400°C程度の溶融リン酸を用いる方法が知られている。本発明者は、これらの方法がサファイア基板への貫通穴の形成技術として適用可能であるかどうかを調べた。また、そのときのエッチングマスクの材料としてはどのようなものが可能であるかどうかについても調べた。さらに、このようなエッチングマスクを用いないで貫通穴を形成する新しい簡単な方法があるかどうかをも検討した。

【0014】さて、サファイア基板のような堅い材料からなる基板の場合、ラッピング用の砥粒研磨材としては、ダイヤモンド粉しかないと考えられる。一般に、ラッピングによる加工変質層あるいは歪層の厚さは、使用する砥粒の粒径の数倍程度はある。したがって、例えば、20 nm程度の厚さまで薄化するとすると、薄化前のサファイア基板の厚さは一般に約400 μm 前後であるので、薄化するには、まず、例えば粒径30 μm のダイヤモンド砥粒研磨材を含む研磨液を用いて、約200 μm の厚さまでラッピングする。この場合、これ以上薄化すると、残りの基板に占める歪層の割合が大きくなり、大きな歪により反りや破壊を招く。次に、ダイヤモンド砥粒の粒径をより小さく、例えば10 μm とし、例えば100 μm 程度の厚さまでラッピングする。これによって、前回のラッピングの際に発生した歪層は除去することができるが、新たに数10 μm の厚さの歪層が発生する。そこで、次に、例えば、粒径約1 μm の砥粒研磨材を含む研磨液を用いて、40 μm 程度の厚さまでラッピングまたはボリッキングを行う。

【0015】ここで、GaAs基板では、従来はメカノケミカルポリッシュ技術により、ラッピングによる歪層を完全に除去することができた。具体的には、極微軟質粒子を含む次亜塩素酸溶液中でポリッシングを行うことにより歪層を完全に除去することができることが知られている。しかしながら、サファイア基板については、このような溶液中でのポリッシングは知られていない。そこで、次のような方法を用いることを考える。すなわち、リン酸に適定量の硫酸を混合し、温度を280°Cと

する。この液はサファイアに対し、 $10 \mu\text{m}/\text{hr}$ 程度のエッチング速度を持つ。この高温リン酸によるサファイアのエッチング作用は既知である（例えば、(5)セラミック加工ハンドブック、(株)建設産業調査会（1987））。ところが、このような高温腐食性溶液に素子が直接さらされると、素子や配線などの特性劣化が引き起こされる。したがって、素子側にリン酸が接触しない工夫が必要となり、そのためには第1には基板裏面側のみ液に接触させることができるのである。第2には素子側に保護膜を形成することが有効である。この保護膜としては、CVD法により形成されたSiO₂膜やSiN膜などのリン酸に対して耐性を有する酸化物や窒化物の膜や耐熱性のポリイミド膜などが有効である。

【0016】次に、貫通穴の形成方法としては、従来のRIEのようなドライエッチングは採用することができない。そこで、次のような方法を用いることを考える。すなわち、例えば、図1に示すように、サファイア基板1の表面に例えば合計数 μm の厚さのGaN系半導体層2を成長させ、このGaN系半導体層2にGaN系FET3を形成した後、このGaN系FET3用の金属配線およびパッドを形成する。符号4はこのGaN系FET3のソースと電気的に接続されたAuパッドを示す。次に、このAuパッド4を覆うようにGaN系半導体層2上にSiO₂膜のような層間絶縁膜5を形成する。この後、サファイア基板1を $100 \mu\text{m}$ 以下の厚さ、例えば数 $10 \mu\text{m}$ 程度の厚さに薄化する。次に、貫通穴形成部以外の部分におけるこのサファイア基板1の裏面を金属薄膜を積層した積層膜からなるエッチングマスク6で覆う。この積層膜としては、Ni、Cr、Tiなどのサファイア基板に対して密着性の良好な金属薄膜上にPt、Au、Pdなどのリン酸耐食性金属薄膜を積層した二層膜（例えば、Cr/Pt膜）などが用いられる。一方、層間絶縁膜5の表面には例えばポリイミドからなる保護膜7を形成する。次に、サファイア基板1の裏面側を例えば 280°C 程度の温度のリン酸／硫酸溶液からなるエッチング液に浸し、エッチングを行う。このとき、エッチング速度はほぼ $10 \mu\text{m}/\text{hr}$ であるので、サファイア基板1の厚さに応じてエッチング時間が考慮される。このようにして、図2に示すように、サファイア基板1に貫通穴8が形成される。そこで、次にRIE法により、この貫通穴8の底部に露出したGaN系半導体層2をエッチング除去し、Auパッド4を露出させる。このGaN系半導体層2のエッチングの際には、エッチングガスとしてCl₂ガスを用いると、エッチング速度は $5 \sim 10 \mu\text{m}/\text{hr}$ で、Auに対するエッチング速度の比は約3以上あるので、Auパッド4の厚さが $1 \mu\text{m}$ 以上あれば、GaN系半導体層2をオーバーエッチング気味にエッチングしても、Auパッド4を十分な厚さ残すことができる。サファイア基板1の裏面のエッチングマスク6はGaN系半導体層2をRIE法によりエッチング

する際に除去されてしまうこともあるが、問題はない。

【0017】この後、サファイア基板1の裏面にこのサファイア基板1の厚さ以上の厚さの金属膜を形成し、貫通穴8を通じてAuパッド4とコンタクトさせる。この金属膜の形成においては、具体的には、例えば、まず、サファイア基板1の裏面にNiまたはCrおよびAuを真空蒸着法などにより順次堆積させた後、その上にめっき法などにより十分な厚さ、例えば数 $10 \mu\text{m}$ から数 $100 \mu\text{m}$ の厚さのAu膜を堆積させる。このようにして

10 形成される厚いプレート状の金属膜により、GaN系FET3のソースとの電気的接続および放熱が行われる。

【0018】一方、サファイア基板に貫通穴を形成するための別の方法として、パルスレーザビームを用いる方法も考えられる。すなわち、サファイアは約 $6 \mu\text{m}$ 以上の波長の赤外線を吸収する。このため、例えば、波長 $10.6 \mu\text{m}$ のCO₂レーザによるパルスレーザビームをサファイア基板に照射することによって局部的に超高温にし、サファイアを蒸発（アブレーション）させることができる。この技術は実際にアルミナ基板のスクライピングに実用化されている技術である。具体的には、例えば、ピーク出力 300W 、パルス幅 $200\mu\text{s}$ 、ビーム径約 $100 \mu\text{m}$ の1パルスの照射により、アルミナ基板に深さ約 $200 \mu\text{m}$ の穴を形成することができる。したがって、例えば、図3に示すように、厚さ $200 \mu\text{m}$ 程度のサファイア基板1の裏面の所望の場所にCO₂レーザによるパルスレーザビーム9を照射して例えば深さ $10 \mu\text{m}$ 程度の穴10を形成した後、高温のリン酸／硫酸溶液からなるエッチング液を用いて例えば深さ $150 \mu\text{m}$ 程度に一様エッチングを行うことにより、図4に示すように貫通穴8を形成することができる。この方法はマスクレスプロセスであり、工程数は非常に少ない。

【0019】ここで、サファイア基板の薄化の意義についてあらためて説明する。図5に示すように、サファイアの熱伝導率は、室温で約 $0.4 \text{W}/\text{cmK}$ と小さいばかりでなく、温度に対して大きな負の傾きを有し、温度上昇とともに減少する。サファイア基板上にGaN系半導体を用いた素子を形成した場合、動作時にこの素子から発生する熱は熱伝導でサファイア基板に移動し、高出力素子の場合、通常基板裏面に形成されるヒートシンクを通じて放熱されるが、上述のようにサファイアの熱伝導率が温度上昇とともに減少することは、温度上昇とともに熱放散されにくくなること意味する。したがって、放熱の観点からは、素子が載っているサファイア基板は薄ければ薄いほど有利であり、機械的強度に耐える範囲内で極限まで薄化するのが好ましい。この薄化により、効率的な熱放散が可能となり、温度上昇が抑制される。

【0020】以上はサファイア基板を用いる場合についてであるが、例えばSiC基板などの他の単結晶基板を用いる場合についても同様なことが言える。

【0021】一方、例えばサファイア基板のような非導

電性の単結晶基板上にGaN系発光素子を構成するGaN系半導体層を形成した後、単結晶基板に裏面側から上述と同様にして貫通穴を形成してGaN系半導体層の下面を露出させ、この貫通穴を通じて下側からGaN系半導体層に接触するように単結晶基板の裏面側に一方の電極を形成するとともに、GaN系半導体層上に他方の電極を貫通穴と位置合わせて形成することにより、動作時にこれらの電極間に流す電流の通路の長さはGaN系半導体層の厚さとほぼ等しくなり、このため従来に比べて電流通路の長さは極めて短くなる。

【0022】この発明は、本発明者による以上のような検討に基づいて案出されたものである。

【0023】すなわち、上記目的を達成するために、この発明の第1の発明による半導体装置の製造方法は、窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板の一方の主面上に窒化物系III-V族化合物半導体を用いた素子を形成する工程と、単結晶基板の他方の主面を、ダイヤモンド砥粒からなる研磨材を含む研磨液を用い、かつ、研磨材の粒径を段階的に小さくしながらラッピングすることにより単結晶基板を薄化する工程と、ラッピングされた単結晶基板の他方の主面を150~450°Cの温度のリン酸またはリン酸と硫酸とを主成分とするエッティング液を用いてエッティングすることによりラッピングの際に単結晶基板の他方の主面に生じた歪層を除去する工程とを有することを特徴とするものである。†

【0024】この第1の発明においては、典型的には、ラッピングにより、単結晶基板を100μm以下の厚さに薄化し、あるいは、数10μm以下の厚さに薄化する。また、ラッピングによる歪層を除去するためのエッティングの際に素子に損傷が生じるのを防止するため、好適には、エッティング前に単結晶基板の一方の主面上に形成された素子の表面をエッティング液に対して耐性を有する保護膜で覆っておく。この保護膜としては、例えば、酸化シリコン(SiO₂)膜、窒化シリコン(SiN)膜、ポリイミド膜などを用いることができる。また、このエッティングの際には、好適には、単結晶基板の他方の主面のみをエッティング液に浸すことによりエッティングを行う。

【0025】この発明の第2の発明による半導体装置は、窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板と、単結晶基板の一方の主面上の窒化物系III-V族化合物半導体を用いた素子とを有する半導体装置において、単結晶基板に設けられた貫通穴を通じて素子に対する電気的接続が行われていることを特徴とするものである。

【0026】この発明の第3の発明は、窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板と、単結晶基板の一方の主面上の窒化物系III-V族化合物半導体を用いた素子とを有し、単結晶基板に設け

られた貫通穴を通じて素子に対する電気的接続が行われる半導体装置の製造方法であって、単結晶基板の他方の主面を150~450°Cの温度のリン酸またはリン酸と硫酸とを主成分として含むエッティング液を用いて選択的にエッティングすることにより貫通穴を形成するようにしたことを特徴とするものである。

【0027】この第3の発明においては、単結晶基板の他方の主面に、Cr、TiまたはNiからなる第1の薄膜とその上のPt、PdまたはAuからなる第2の薄膜とからなるエッティングマスクを形成し、このエッティングマスクを用いて単結晶基板をエッティングすることにより貫通穴を形成する。このエッティングの際には、好適には、単結晶基板の他方の主面のみをエッティング液に浸すことによりエッティングを行う。

【0028】この発明の第4の発明は、窒化物系III-V族化合物半導体と異なる物質からなる単結晶基板と、単結晶基板の一方の主面上の窒化物系III-V族化合物半導体を用いた素子とを有し、単結晶基板に設けられた貫通穴を通じて素子に対する電気的接続が行われる半導体装置の製造方法であって、単結晶基板の他方の主面に6μm以上の波長を有するレーザ光を選択的に照射することにより一方の主面に達しない10μm以上の深さの穴を形成する工程と、単結晶基板の他方の主面を150~450°Cの温度のリン酸またはリン酸と硫酸とを主成分とするエッティング液を用いてエッティングすることにより穴を一方の主面に到達させて貫通穴を形成する工程とを有することを特徴とするものである。

【0029】この第4の発明においては、例えば、レーザ光としてCO₂レーザによる波長10.6μmのバルスレーザ光を用いる。

【0030】この発明において、単結晶基板の貫通穴の形状は必要に応じて選ぶことができるが、例えば、円形や矩形(スリット状に長く延びるものも含む)などである。また、この貫通穴は、1素子当たり1個設けてもよいし、複数個設けてもよい。後者のように複数個設ける場合、これらの貫通穴は一列に設けてもよいし、複数列に設けてもよく、種々の配置とすることができます。

【0031】この発明において、単結晶基板は、例えば、サファイア基板、スピネル基板、ペロブスカイト系イットリウムアルミネート(YAP)基板、SiC基板などである。

【0032】また、この発明において、窒化物系III-V族化合物半導体は、少なくともGaおよびNを含み、場合により、さらにAl、InおよびBからなる群より選ばれた一種以上のIIII族元素および/またはAsおよびPからなる群より選ばれた一種以上のV族元素を含む。この窒化物系III-V族化合物半導体の具体例をいくつか挙げると、GaN、AlGaN、GaN、AlGaNなどである。

【0033】この発明において、半導体装置は、例え

11

ば、電界効果トランジスタ（FET）などの電子走行素子、あるいは、半導体レーザや発光ダイオードなどの発光素子である。

【0034】上述のように構成されたこの発明の第1の発明によれば、単結晶基板の他方の正面を研磨材の粒径を段階的に小さくしながらラッピングすることにより単結晶基板を薄化するようにしているので、単結晶基板がサファイア基板やSiC基板などの極めて固いものであっても、反りや破壊を招くことなく、しかもラッピングの際に生じる歪層を最小限に抑えつつ、単結晶基板を所望の厚さに薄化することができる。そして、このようにして薄化された単結晶基板の他方の正面を150～450°Cの温度のリン酸またはリン酸と硫酸とを主成分とするエッティング液を用いてエッティングすることにより、ラッピングの際に単結晶基板の他方の正面に生じた歪層を除去することができる。

【0035】上述のように構成されたこの発明の第2の発明によれば、単結晶基板に設けられた貫通穴を通じて素子に対する電気的接続が行われていることにより、素子がFETである場合、ソースインダクタンスの低減を図ることができる。また、非導電性の単結晶基板上に窒化物系III-V族化合物半導体を用いた発光素子を形成する場合、窒化物系III-V族化合物半導体層上に設けられる一方の電極と対応する部分の単結晶基板に裏面側から貫通穴を設け、この貫通穴を通じて他方の電極を窒化物系III-V族化合物半導体層の下面に接触させて発光素子に対する他方の電気的接続を行うことにより、動作時にこれらの電極間に流す電流の通路の長さを窒化物系III-V族化合物半導体層の厚さとほぼ等しい、極めて短い長さにすることができる。

【0036】上述のように構成されたこの発明の第3の発明によれば、単結晶基板の他方の正面を150～450°Cの温度のリン酸またはリン酸と硫酸とを主成分として含むエッティング液を用いて選択的にエッティングすることにより貫通穴を形成するようにしているので、単結晶基板の所望の場所に貫通穴を容易に形成することができる。

【0037】上述のように構成されたこの発明の第4の発明によれば、単結晶基板の他方の正面に6μm以上の波長を有するレーザ光を選択的に照射することにより一方の正面に達しない10μm以上の深さの穴を形成した後、単結晶基板の他方の正面を150～450°Cの温度のリン酸またはリン酸と硫酸とを主成分とするエッティング液を用いてエッティングすることにより穴を一方の正面に到達させて貫通穴を形成するようにしていることにより、単結晶基板の所望の場所に貫通穴をマスクレスで容易に形成することができる。

【0038】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図

12

において、同一または対応する部分には同一の符号を付す。

【0039】図6～図10はこの発明の第1の実施形態によるGaN系FETの製造方法を示す。

【0040】この第1の実施形態においては、まず、図6に示すように、サファイア基板21の表面にGaN系半導体層22を成長させてこのGaN系半導体層22にGaN系FET23を形成する。ここで、サファイア基板21の厚さは例えば約400μm、GaN系半導体層22の厚さは例えば約4μmである。次に、このGaN系FET23用の金属配線およびパッドを形成する。符号24はGaN系FET23のソースと電気的に接続されたAuパッドを示す。次に、このAuパッド24を覆うようにGaN系半導体層22上に例えばSiO₂膜のような層間絶縁膜25を形成する。次に、この層間絶縁膜25上に保護膜26を形成する。この保護膜26としては、例えば厚さ10μmの耐熱性のポリイミド膜を用いる。次に、この保護膜26上にSi基板27を載せ、保護膜26と接着する。このSi基板27の厚さは例えば約250μmである。ここで、このSi基板27は、ラッピング終了後に薄化されたサファイア基板21が反るのを防止したり、このサファイア基板21の取り扱いを容易にするためのものである。次に、このSi基板27上にワックス28を介してラッピング用治具29を接着する。

【0041】次に、この試料を図示省略したラッピング装置のラッピング台上にセットし、まず、例えば粒径20～40μmのダイヤモンド砥粒からなる研磨材を含む水溶液からなる研磨液中においてサファイア基板21の裏面のラッピングを行う。このラッピングによりサファイア基板21の厚さが例えば約200μmに達したら試料およびラッピング台を洗浄し、研磨液を除去する。次に、例えば粒径5～12μmのダイヤモンド砥粒からなる研磨材を含む水溶液からなる研磨液中においてサファイア基板21の裏面のラッピングを行う。このラッピングによりサファイア基板21の厚さが例えば約100μmになったら、ラッピングを終了する。このようにして、図7に示すように、サファイア基板21が約100μmの厚さに薄化される。この後、試料をホットプレート（図示せず）で温め、ラッピング用治具29を取り外し、ワックス28を除去する。

【0042】次に、上述のようにして厚さ約100μmに薄化されたサファイア基板21の裏面を例えば285°Cに加熱されたリン酸（H₃PO₄）／硫酸（H₂SO₄）混合液からなるエッティング液に浸し、エッティングを行う。このエッティングは具体的には例えば次のようにして行うことができる。

【0043】すなわち、図8に示すように、ホットプレート30上に、シャーレ状のPt容器31にH₃PO₄：H₂SO₄ = 1:1のH₃PO₄／H₂SO₄混

13

合液からなるエッティング液32を入れたものを載せる。このエッティング液32はホットプレート30により、あらかじめエッティング温度に加熱しておく。次に、外径がPt容器31の直径より少し小さく、内径がサファイア基板21の直径より少し小さいドーナツ状のPt板からなる落とし蓋33を、エッティング液32上に保持する。このとき、落とし蓋33の上面がエッティング液32の液面とほぼ同一面になるようにする。この落とし蓋33は、H₃PO₄ / H₂SO₄混合液からなるエッティング液32からの水分の蒸発を防いでH₃PO₄の組成を一定とし、かつ、サファイア基板21の裏面のみエッティング液32と接するようにするためのものである。そして、この落とし蓋33の上に上述のサファイア基板21をその外周部が落とし蓋33の内周部に重なるように載せる。このとき、サファイア基板21の裏面のみがエッティング液32に接する。これによって、サファイア基板21の裏面のみがエッティングされ、ラッピングの際に生じた歪層が除去される。

【0044】次に、図9に示すように、Auパッド24に対応する部分におけるサファイア基板21の裏面に、フォトリソグラフィー法により、形成すべき貫通穴に対応する形状を有するレジストパターン(図示せず)を形成した後、その上に例えば厚さ20nmのCr膜および例えば厚さ0.1μmのPt膜を例えれば真空蒸着法により順次形成する。この後、リフト法により、レジストパターンをその上に形成されたCr膜およびPt膜とともに除去する。このようにして、Cr/Pt膜からなるエッティングマスク34が形成される。次に、このエッティングマスク34を用いて、サファイア基板21の裏面を、上述と同様に、例えれば285°CのH₃PO₄ / H₂SO₄混合液からなるエッティング液に例えれば約3時間浸し、このサファイア基板21を、GaN系半導体層22が露出するまで選択的にエッティングする。これによって、サファイア基板21に貫通穴35が形成される。

【0045】次に、このサファイア基板21を図示省略したRIE装置に導入し、例えればCl₂ガスをエッティングガスとして用いて、サファイア基板21の裏面側から、このサファイア基板21をマスクとして、GaN系半導体層22を選択的にエッティングする。このときのエッティング速度は例えれば約10μm/hとなることができ、GaN系半導体層22の厚さが上述のように約4μmであるとすると、約25分程度でGaN系半導体層22をエッティング除去し、Auパッド24を露出させることができる。

【0046】次に、図10に示すように、再び、例えれば真空蒸着法により例えれば膜厚20nmのCr膜および例えれば膜厚5μmのAu膜を順次形成してCr/Au膜36を形成した後、このCr/Au膜36上に例えればめっき法により十分に厚い、例えれば約100μmの厚さのAu膜37を形成する。この後、ポリイミド膜からなる保

14

護膜26を有機溶剤で除去する。

【0047】以上の工程で、約100μmの厚さに薄化されたサファイア基板21上に形成され、さらに、このサファイア基板21に形成された貫通穴35を通じてソースパッドであるAuパッド24に基板裏面側から厚いAu膜37が電気的に接続されたGaN系FET23が製造される。

【0048】以上のように、この第1の実施形態によれば、サファイア基板1の表面にGaN系半導体層22を成長させてGaN系FET23を形成した後、サファイア基板1の裏面を、まず、第1段階として粒径2.0~4.0μmのダイヤモンド砥粒を含む水溶液からなる研磨液を用いて200μm程度の厚さまでラッピングし、次に、第2段階として、粒径5~12μmのダイヤモンド砥粒を含む水溶液からなる研磨液を用いて100μm程度の厚さまでラッピングしているので、ラッピングによるサファイア基板21の反りや破壊を抑えつつ、しかも、ラッピングの際に生じる歪層を最小限に抑えつつ、サファイア基板21を約100μmの厚さに薄化することができる。また、このラッピング後にサファイア基板21の裏面をH₃PO₄ / H₂SO₄混合液からなるエッティング液を用いてエッティングしていることにより、ラッピングの際にサファイア基板21の裏面に生じる歪層を完全に除去することができる。そして、サファイア基板21の薄化により、ヒートシンクとして働くAu膜37への熱放散が良好に行われることから、GaN系FET23の温度上昇が大幅に緩和される。この結果、ゲートリークの増加やキャリアの移動度の減少などを抑えることができ、GaN系FET23の高周波特性を高出力時まで維持することができる。また、GaN系FET23の温度上昇が大幅に緩和されることにより、金属配線におけるマイグレーションの抑制や層間絶縁膜25の劣化を防止することができ、信頼性の向上を図ることができる。さらに、サファイア基板21の裏面に貫通穴35を形成し、この貫通穴35を通じてAuパッド24にAu膜37を電気的に接続していることにより、ソースインダクタンスの大幅な低減を図ることができ、高周波動作化を図ることができる。以上により、高周波、高出力の高性能のGaN系FET23を実現することができる。

これに加えて、GaN系FET23の温度上昇が大幅に緩和されることにより、サファイア基板21上に高密度にGaN系FET23を形成することが可能となり、それによってさらなる出力の増大を図ることができる。

【0049】次に、この発明の第2の実施形態によるGaN系FETの製造方法について説明する。

【0050】この第2の実施形態においては、まず、第1の実施形態と同様にして、サファイア基板21を厚さ約200μmまで薄化する。

【0051】次に、図11に示すように、この薄化され

たサファイア基板21の裏面に、例えばCO₂レーザによる波長10.6 μmのパルスレーザビーム37を照射し、サファイア基板21の表面に達しない、例えば弾頭形状の穴38を形成する。パルスレーザビーム37としては、例えば、先頭出力150W、パルス幅200μs、ビーム径約100 μmのものを用いる。また、例えば、このパルスレーザビーム39をAuパッド24の領域の一地点につき1パルス照射することにより、サファイア基板21の裏面における直径が約100 μm、深さ約100 μmの穴38を形成することができる。

【0052】次に、上述と同様な方法によって、H₃P O₄ / H₂SO₄混合液からなるエッティング液を用いてサファイア基板21の裏面をマスクレスで無選択エッティングする。これによって、サファイア基板21の厚さは一様に減少し、例えば約10時間のエッティングでAuパッド24に対応する部分のサファイア基板21はなくなり、図12に示すように、貫通穴35が形成され、その底部にGaN系半導体層22が露出する。このとき、サファイア基板21は深さ方向のみならず、横方向にもエッティングされることにより、サファイア基板21の裏面における貫通穴35の直径は初期に形成された穴38の直径よりも大きくなる。したがって、このエッティングの条件を制御することにより、貫通穴35の底部に円形状に露出したGaN系半導体層22を所望の直径にすることができる。この後、上述と同様にして、この貫通穴35の底部に円形状に露出したGaN系半導体層22を除去してAuパッド24を露出させ、さらにCr/Au膜36およびAu膜37を形成し、GaN系FET23の製造を終了する。

【0053】この第2の実施形態によれば、第1の実施形態と同様に、サファイア基板21の薄化およびサファイア基板21への貫通穴35の形成により、高周波、高出力の高性能のGaN系FET23を実現することができる。これに加えて、この第2の実施形態によれば、マスクレスで貫通穴35を形成することできることにより、製造工程の簡略化を図ることができるという利点も得ることができる。

【0054】次に、この発明の第3の実施形態によるGaN系半導体レーザについて説明する。このGaN系半導体レーザはSCH (Separate Confinement Heterostructure)構造を有するものである。

【0055】図13に示すように、このGaN系半導体レーザにおいては、c面サファイア基板51上に、GaNバッファ層52、n型GaNコンタクト層53、n型AlGaNクラッド層54、n型GaN光導波層55、Ga_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層56、p型GaN光導波層57、p型AlGaNクラッド層58およびp型GaNコンタクト層59が順次積層されている。そして、p型GaNコンタクト層59上にストライプ形状の例えばN_i/Au構造または

Ni/Pt/Au構造のp側電極60がオーミックコンタクトして設けられている。一方、p側電極60に対応する部分におけるc面サファイア基板51に貫通穴61が設けられ、この貫通穴61を通じてn型GaNコンタクト層53とオーミックコンタクトして例えばTi/A1構造のn側電極62が設けられている。ここで、この貫通穴61は、例えば、円形または矩形のものをp側電極60の延びる方向に等間隔に設けてもよいし、例えばp側電極60の延びる方向に延びる、共振器長より少し短いスリット状のものとしてもよいし、これらを組み合わせたものとしてもよい。

【0056】次に、上述のように構成されたこの第3の実施形態によるGaN系半導体レーザの製造方法について説明する。

【0057】このGaN系半導体レーザを製造するには、まず、c面サファイア基板51上にMOCVD法により例えば560°Cの温度でGaNバッファ層52を成長させた後、引き続いてMOCVD法により、このGaNバッファ層52上にn型GaNコンタクト層53、n型AlGaNクラッド層54、n型GaN光導波層55、Ga_{1-x}In_xN/Ga_{1-y}In_yN多重量子井戸構造の活性層56、p型GaN光導波層57、p型AlGaNクラッド層58およびp型GaNコンタクト層59を順次成長させる。ここで、Inを含まない層であるn型GaNコンタクト層53、n型AlGaNクラッド層54、n型GaN光導波層55、p型GaN光導波層57、p型AlGaNクラッド層58およびp型GaNコンタクト層59の成長温度は1000°C程度、Inを含む層であるGa_{1-x}In_xN/Ga_{1-y}In_yN多重

30 量子井戸構造の活性層56の成長温度は700~800°Cとする。これらの窒化物系III-V族化合物半導体層の成長原料は、例えば、III族元素であるGaの原料としてはトリメチルガリウム(TMGa)を、III族元素であるAlの原料としてはトリメチルアルミニウム(TMA1)を、II族元素であるInの原料としてはトリメチルインジウム(TMIn)を、V族元素であるNの原料としてはアンモニア(NH₃)を用いる。また、キャリアガスとしては、例えば、水素(H₂)と窒素(N₂)との混合ガスを用いる。ドーパントについては、n型ドーパントとしては例えばモノシリコン(SiH₄)を、p型ドーパントとしては例えばビスマスメチルシクロペンタジエニルマグネシウムを用いる。この後、p型層、すなわち、p型GaN光導波層57、p型AlGaNクラッド層58およびp型GaNコンタクト層59にドープされたp型不純物の電気的活性化のための熱処理を行う。この熱処理は、例えば窒素ガス雰囲気において800°C程度の温度で行う。

【0058】次に、例えばリフトオフ法などによりp型GaNコンタクト層59上にp側電極60を形成する。

【0059】次に、第1または第2の実施形態と同様な

17

方法により、p側電極60に対応する部分のc面サファイア基板51を裏面側から選択的に除去して貫通穴61を形成する。その後、この貫通穴61の内部に露出したGaNバッファ層52をアルカリ溶液などによりエッチング除去し、n型GaNコンタクト層53の下面を露出させる。

【0060】次に、c面サファイア基板51の裏面全面に真空蒸着法などによりTi/A1膜を形成してn側電極62を形成する。

【0061】この後、上述のようにしてレーザ構造が形成されたc面サファイア基板51をバー状に加工して両共振器端面を形成し、さらにこのバーをチップ化する。以上により、目的とするSCH構造のGaN系半導体レーザが製造される。

【0062】以上のように、この第3の実施形態によれば、p側電極60と位置合わせされてc面サファイア基板51に設けられた貫通穴61を通じてn側電極62がn型GaNコンタクト層53にその下面からオーミックコンタクトしていることにより、このGaN系半導体レーザの動作時にp側電極60およびn側電極62間に流す電流の通路の長さは、n型GaNコンタクト層53、n型A1GaNクラッド層54、n型GaN光導波層55、活性層56、p型GaN光導波層57、p型A1GaNクラッド層58およびp型GaNコンタクト層59の合計の厚さに等しくなり、従来のGaN系半導体レーザに比べて電流通路の長さは極めて短くなる。このため、その分だけGaN系半導体レーザの動作電圧の低減を図ることができる。

【0063】また、このGaN系半導体レーザは、GaN系半導体レーザなどと同様に、基板の表面側にp側電極を設け、基板の裏面側にn側電極を設けた構造であるため、GaN系半導体レーザの組み立てに用いる装置を用いて組み立てを行うことができ、専用の組み立て装置を用意する必要がない。このため、その分だけGaN系半導体レーザの製造コストの低減を図ることができる。

【0064】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0065】例えば、上述の第1、第2および第3の実施形態において挙げた数値、材料、構造、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、材料、構造、プロセスなどを用いてもよい。

【0066】また、上述の第1の実施形態においては、ラッピングを行う前にサファイア基板21の表面側をSi基板27と接着しているが、このSi基板27は必要に応じて省略することも可能である。

【0067】また、上述の第3の実施形態においては、この発明をSCH構造のGaN系半導体レーザに適用し

18

た場合について説明したが、この発明は、DH(Double Heterostructure)構造のGaN系半導体レーザのほか、GaN系発光ダイオードに適用することも可能である。

【0068】

【発明の効果】以上説明したように、この発明の第1の発明によれば、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成する場合に、基板の薄化により、高出力化を図ることができる。

【0069】また、この発明の第2の発明によれば、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成する場合に、単結晶基板に設けられる貫通穴を通じての素子に対する電気的接続により、素子がFETである場合、ソースイングクタンスの低減を図ることができ、高周波動作化を図ることができる。あるいは、サファイア基板などの非導電性の単結晶基板上に窒化物系III-V族化合物半導体を用いた発光素子を形成する場合、この発光素子の動作電圧の低減および製造コストの低減を図ることができる。

【0070】また、この発明の第3の発明または第4の発明によれば、サファイア基板やSiC基板などの固く、化学的にも安定な単結晶基板上に窒化物系III-V族化合物半導体を用いた素子を形成し、この単結晶基板に設けられた貫通穴を通じて素子に対する電気的接続を行う場合に、単結晶基板にその貫通穴を容易に形成することができる。

【図面の簡単な説明】

【図1】この発明を説明するための断面図である。

【図2】この発明を説明するための断面図である。

【図3】この発明を説明するための断面図である。

【図4】この発明を説明するための断面図である。

【図5】サファイアの熱伝導率の温度依存性を示す略線図である。

【図6】この発明の第1の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図7】この発明の第1の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図8】この発明の第1の実施形態によるGaN系FETの製造方法を説明するための略線図である。

【図9】この発明の第1の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図10】この発明の第1の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図11】この発明の第2の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図12】この発明の第2の実施形態によるGaN系FETの製造方法を説明するための断面図である。

【図13】この発明の第3の実施形態によるGaN系半

19

導体レーザを示す断面図である。

【図14】従来のGaN系半導体レーザを示す断面図である。

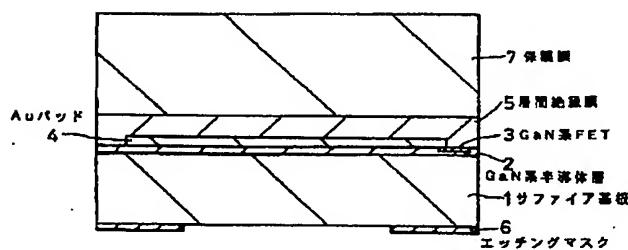
【符号の説明】

1、21…サファイア基板、2、22…GaN系半導体層、4、24…Auパッド、5、25…層間絶縁膜、6、34…エッチングマスク、7、26…保護膜、8、35、61…貫通穴、9、

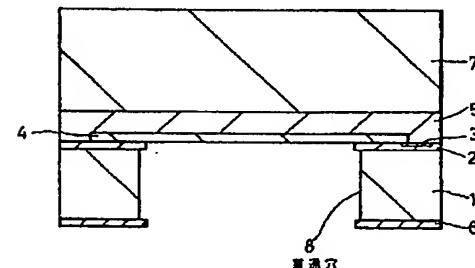
20

37…パルスレーザビーム、10、38…穴、51…c面サファイア基板、53…n型GaNコンタクト層、54…n型AlGaNクラッド層、55…n型GaN光導波層、56…活性層、57…p型GaN光導波層、58…p型AlGaNクラッド層、59…p型GaNコンタクト層、60…p側電極、62…n側電極

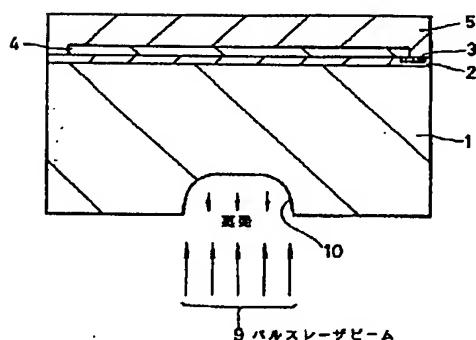
【図1】



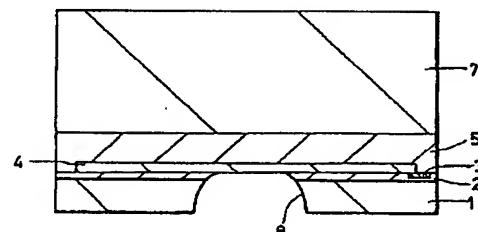
【図2】



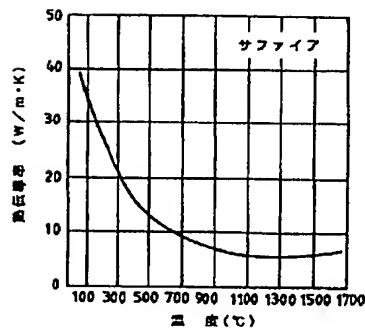
【図3】



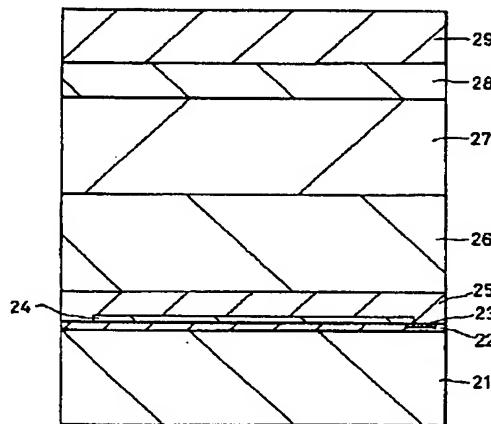
【図4】



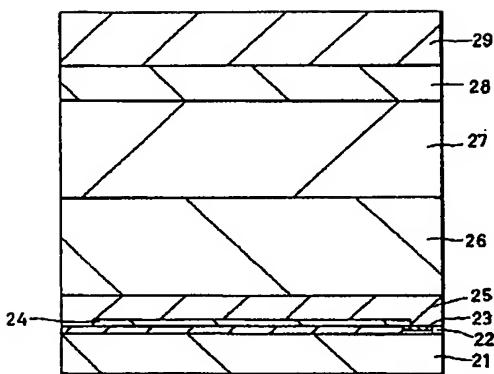
【図5】



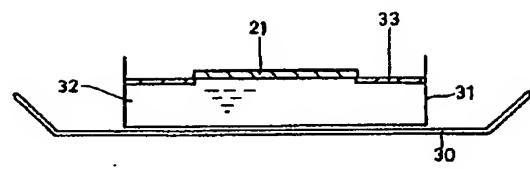
【図6】



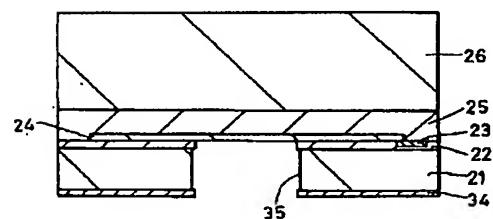
【図7】



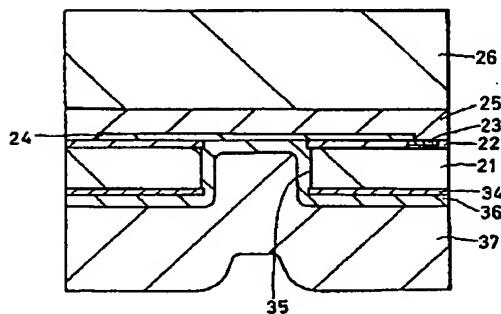
【図8】



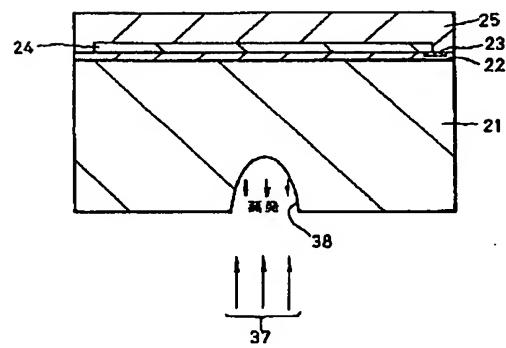
【図9】



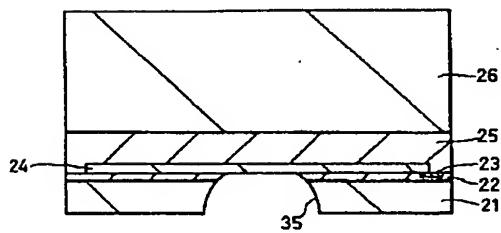
【図10】



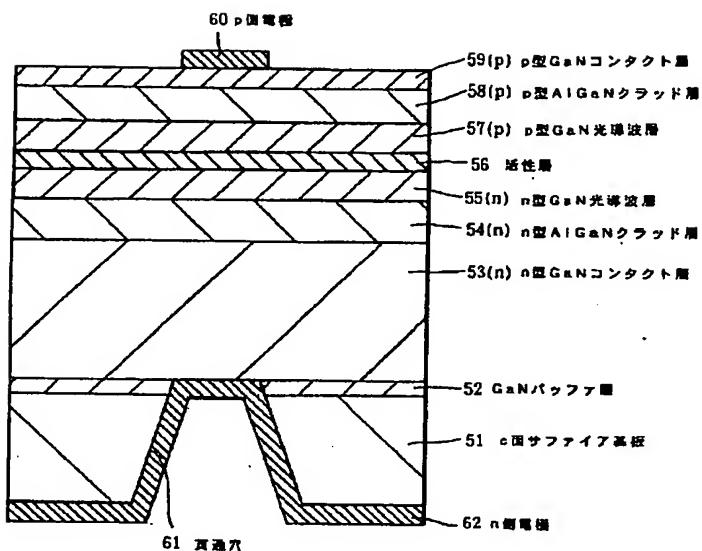
【図11】



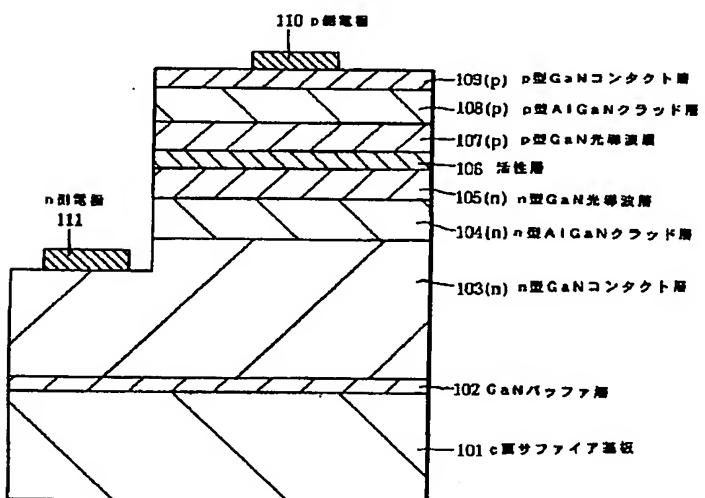
【図12】



【図13】



【図14】



フロントページの続き

(51) Int.Cl.⁶
 H 01 L 21/306
 21/308
 27/12
 33/00
 H 01 S 3/18

識別記号

F I
 H 01 L 27/12
 33/00
 H 01 S 3/18
 H 01 L 21/306

S

C

B